

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: KAWAHITO, Shoji et al Conf.:
Appl. No.: NEW Group:
Filed: October 15, 2003 Examiner:
For: CLOCK SIGNAL GENERATION CIRCUIT

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

October 15, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):


<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-302045	October 16, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By  #46,479
Terrell C. Birch, #19,382

TCB/smt
0020-5186P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

KAWA HITO et al
October 15, 2003
BSKB, LLP
703-205-8000
0020-5186P
1061

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月16日

出 願 番 号
Application Number:

特願2002-302045

[ST.10/C]:

[JP2002-302045]

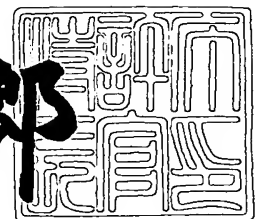
出 願 人
Applicant(s):

株式会社半導体理工学研究センター

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037767

【書類名】 特許願
【整理番号】 185235
【提出日】 平成14年10月16日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 1/06
【発明者】

【住所又は居所】 静岡県浜松市広沢 1 - 2 2 - 1 2

【氏名】 川人 祥二

【発明者】

【住所又は居所】 静岡県浜松市和地山 1 - 8 - 3 2 ワジヤマロイド 2 0
5 号室

【氏名】 宮崎 大輔

【特許出願人】

【識別番号】 396023993

【住所又は居所】 神奈川県横浜市港北区新横浜三丁目 1 7 番地 2 友泉新
横浜ビル 6 階

【氏名又は名称】 株式会社半導体理工学研究センター

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9608010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック信号発生回路

【特許請求の範囲】

【請求項 1】 所定の周波数のマスタクロック信号から多相クロック信号を生成して出力するクロック信号発生回路において、

前記マスタクロック信号を第 1 遅延時間だけ遅延させた第 1 遅延信号を生成し、前記マスタクロック信号と該第 1 遅延信号から、該第 1 遅延時間のパルス幅を有する第 1 パルス信号を生成して出力する D L L 回路をなすマスタ D L L 回路部と、

前記マスタクロック信号から多相の内部クロック信号をそれぞれ生成して出力すると共に、該各内部クロック信号をそれぞれ遅延させた各遅延内部クロック信号をそれぞれ生成して出力する多相クロック発生回路部と、

該多相クロック発生回路部から出力された対応する遅延内部クロック信号を第 2 遅延時間だけ遅延させ前記多相クロック信号をなすクロック信号としてそれぞれ出力する D L L 回路をなす各スレーブ D L L 回路からなるスレーブ D L L 回路部と、

を備え、

前記マスタ D L L 回路部は、前記生成した第 1 パルス信号に応じて電圧が変化する第 1 制御信号を生成し、該生成した第 1 制御信号に応じて前記第 1 遅延時間が所定値になるように調整すると共に、前記各スレーブ D L L 回路は、前記第 2 遅延時間のパルス幅を有する第 2 パルス信号を生成し、前記第 1 パルス信号及び該第 2 パルス信号に応じて電圧が変化する第 2 制御信号を生成し、該生成した第 2 制御信号に応じて前記第 2 遅延時間が所定値になるように調整することを特徴とするクロック信号発生回路。

【請求項 2】 マスタ D L L 回路部は、

入力された前記第 1 制御信号に応じた遅延時間だけマスタクロック信号を遅延させて出力する第 1 可変遅延回路と、

該第 1 可変遅延回路から出力された信号及びマスタクロック信号から前記第 1 パルス信号を生成して出力する第 1 パルス信号生成回路と、

該第 1 パルス信号に応じて第 1 コンデンサに対する充放電を行う第 1 チャージポンプ回路と、

該第 1 コンデンサの高電圧側の電圧を積分して前記第 1 可変遅延回路への第 1 制御信号として出力する第 1 ローパスフィルタと、
を備えることを特徴とする請求項 1 記載のクロック信号発生回路。

【請求項 3】 前記各スレーブ D L L 回路は、

入力された前記第 2 制御信号に応じた遅延時間だけ対応する前記遅延内部クロック信号を遅延させて出力する第 2 可変遅延回路と、

該第 2 可変遅延回路から出力された信号、対応する前記内部クロック信号及び前記マスタクロック信号から前記第 2 パルス信号を生成して出力する第 2 パルス信号生成回路と、

前記第 1 パルス信号及び該第 2 パルス信号に応じて第 2 コンデンサに対する充放電を行う第 2 チャージポンプ回路と、

該第 2 コンデンサの高電圧側の電圧を積分して前記第 2 可変遅延回路への第 2 制御信号として出力する第 2 ローパスフィルタと、
をそれぞれ備えることを特徴とする請求項 1 又は 2 記載のクロック信号発生回路。

【請求項 4】 前記第 2 チャージポンプ回路は、

前記第 2 コンデンサと、

前記第 1 パルス信号に応じて第 2 コンデンサを充電する充電回路と、

前記第 2 パルス信号に応じて第 2 コンデンサの放電を行う放電回路と、

を備えることを特徴とする請求項 3 記載のクロック信号生成回路。

【請求項 5】 前記放電回路は、外部から入力されたデジタル信号に応じて前記第 2 コンデンサの放電電流を調整することを特徴とする請求項 4 記載のクロック信号発生回路。

【請求項 6】 前記充電回路は、外部から入力されたデジタル信号に応じて前記第 2 コンデンサの充電電流を調整することを特徴とする請求項 4 記載のクロック信号発生回路。

【請求項 7】 所定の周波数のマスタクロック信号から多相クロック信号を

生成して出力するクロック信号発生回路において、

前記マスタクロック信号を第 3 遅延時間だけ遅延させた第 3 遅延信号を生成し、前記マスタクロック信号と該第 3 遅延信号から、該第 3 遅延時間のパルス幅を有する第 3 パルス信号を生成して出力する共通クロック発生回路部と、

前記マスタクロック信号から多相の内部クロック信号をそれぞれ生成して出力する多相クロック発生回路部と、

該多相クロック発生回路部から出力された対応する内部クロック信号の信号レベルの変化点を、前記第 3 パルス信号の信号レベルの変化点と一致するように制御する各クロック制御回路からなるクロック制御回路部と、
を備えることを特徴とするクロック信号発生回路。

【請求項 8】 前記各クロック制御回路は、

前記多相クロック発生回路部から出力された対応する内部クロック信号に応じた多相クロック信号をなすクロック信号を出力する出力回路と、

前記第 3 パルス信号に応じて該出力回路から出力されるクロック信号における一方の信号レベルの出力制御を行う出力制御回路と、
をそれぞれ備えることを特徴とする請求項 7 記載のクロック信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多相のクロック信号を生成して出力するクロック信号発生回路に関し、特にインターリーブ動作のサンプルホールド回路（以下、S/H回路と呼ぶ）に使用するクロック信号発生回路に関する。

【0002】

【従来の技術】

従来の多相クロック信号発生回路では、8相のクロック信号 $\phi 1 \sim \phi 8$ の所定の組み合わせにおける3つのクロック信号の遅延量を比較し、該比較結果に応じてクロック信号 $\phi 1 \sim \phi 8$ の遅延量を制御するクロック信号発生回路があった（例えば、非特許文献1参照。）。

【0003】

【非特許文献 1】

2 0 0 1 年 2 月 の 米 国 電 気 電 子 学 会 国 際 固 体 回 路 会 議 テ ク ニ カ ル
ダ イ ジ ェ ス ト (p . 3 9 6 , p . 3 9 7 , p . 4 7 0)

【 0 0 0 4 】

【発明が解決しようとする課題】

一方、インターリーブ S/H 回路のインターリーブ動作では、サンプリングスイッチを制御するクロック信号のタイミングが理想値からずれるスキューが発生することによって高調波歪みが発生し、S N D R (Signal to noise and distortion ratio) が劣化するという問題があった。図 1 1 は、入力信号が 5 0 M H z でサンプリング周波数 1 0 0 M H z の場合におけるスキュー σ と S N D R との関係例を示した図である。図 1 1 から分かるように、例えば、サンプリング周波数が 1 0 0 M H z 、S/H 回路の後に接続される A/D 変換器の分解能が 1 0 b i t の場合でも、スキュー量を 2 p s 以下に制御しなければならないが、前記従来の多相クロック信号発生回路では、スキュー量を 2 p s 以下にすることができなかった。

【 0 0 0 5 】

本発明は、上記のような問題を解決するためになされたものであり、生成した多相クロック信号のスキュー量を低減させることができ、特に、インターリーブ動作の S/H 回路に多相クロック信号を供給する際に、該 S/H 回路の後に接続される A/D 変換器の分解能が 1 0 b i t の場合でもスキュー量を 2 p s 以下にすることができるクロック信号発生回路を得ることを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

この発明に係るクロック信号発生回路は、所定の周波数のマスタクロック信号から多相クロック信号を生成して出力するクロック信号発生回路において、

前記マスタクロック信号を第 1 遅延時間だけ遅延させた第 1 遅延信号を生成し、前記マスタクロック信号と該第 1 遅延信号から、該第 1 遅延時間のパルス幅を有する第 1 パルス信号を生成して出力する D L L 回路をなすマスタ D L L 回路部と、

前記マスタクロック信号から多相の内部クロック信号をそれぞれ生成して出力すると共に、該各内部クロック信号をそれぞれ遅延させた各遅延内部クロック信号をそれぞれ生成して出力する多相クロック発生回路部と、

該多相クロック発生回路部から出力された対応する遅延内部クロック信号を第2遅延時間だけ遅延させ前記多相クロック信号をなすクロック信号としてそれぞれ出力するDLL回路をなす各スレーブDLL回路からなるスレーブDLL回路部と、

を備え、

前記マスタDLL回路部は、前記生成した第1パルス信号に応じて電圧が変化する第1制御信号を生成し、該生成した第1制御信号に応じて前記第1遅延時間が所定値になるように調整すると共に、前記各スレーブDLL回路は、前記第2遅延時間のパルス幅を有する第2パルス信号を生成し、前記第1パルス信号及び該第2パルス信号に応じて電圧が変化する第2制御信号を生成し、該生成した第2制御信号に応じて前記第2遅延時間が所定値になるように調整するものである。

【0007】

具体的には、マスタDLL回路部は、

入力された前記第1制御信号に応じた遅延時間だけマスタクロック信号を遅延させて出力する第1可変遅延回路と、

該第1可変遅延回路から出力された信号及びマスタクロック信号から前記第1パルス信号を生成して出力する第1パルス信号生成回路と、

該第1パルス信号に応じて第1コンデンサに対する充放電を行う第1チャージポンプ回路と、

該第1コンデンサの高電圧側の電圧を積分して前記第1可変遅延回路への第1制御信号として出力する第1ローパスフィルタと、

を備えるようにした。

【0008】

また、前記各スレーブDLL回路は、

入力された前記第2制御信号に応じた遅延時間だけ対応する前記遅延内部クロ

ック信号を遅延させて出力する第 2 可変遅延回路と、

該第 2 可変遅延回路から出力された信号、対応する前記内部クロック信号及び前記マスタクロック信号から前記第 2 パルス信号を生成して出力する第 2 パルス信号生成回路と、

前記第 1 パルス信号及び該第 2 パルス信号に応じて第 2 コンデンサに対する充放電を行う第 2 チャージポンプ回路と、

該第 2 コンデンサの高電圧側の電圧を積分して前記第 2 可変遅延回路への第 2 制御信号として出力する第 2 ローパスフィルタと、
をそれぞれ備えるようにした。

【 0 0 0 9 】

この場合、前記第 2 チャージポンプ回路は、

前記第 2 コンデンサと、

前記第 1 パルス信号に応じて第 2 コンデンサを充電する充電回路と、

前記第 2 パルス信号に応じて第 2 コンデンサの放電を行う放電回路と、

を備えるようにし、

前記放電回路が、外部から入力されたデジタル信号に応じて前記第 2 コンデンサの放電電流を調整するか、又は前記充電回路が、外部から入力されたデジタル信号に応じて前記第 2 コンデンサの充電電流を調整するようにした。

【 0 0 1 0 】

また、この発明に係るクロック信号発生回路は、所定の周波数のマスタクロック信号から多相クロック信号を生成して出力するクロック信号発生回路において

前記マスタクロック信号を第 3 遅延時間だけ遅延させた第 3 遅延信号を生成し、前記マスタクロック信号と該第 3 遅延信号から、該第 3 遅延時間のパルス幅を有する第 3 パルス信号を生成して出力する共通クロック発生回路部と、

前記マスタクロック信号から多相の内部クロック信号をそれぞれ生成して出力する多相クロック発生回路部と、

該多相クロック発生回路部から出力された対応する内部クロック信号の信号レベルの変化点を、前記第 3 パルス信号の信号レベルの変化点と一致するように制

御する各クロック制御回路からなるクロック制御回路部と、
を備えるようにした。

【 0 0 1 1 】

具体的には、前記各クロック制御回路は、

前記多相クロック発生回路部から出力された対応する内部クロック信号に応じた多相のクロック信号をなすクロック信号を出力する出力回路と、

前記第 3 パルス信号に応じて該出力回路から出力されるクロック信号における一方の信号レベルの出力制御を行う出力制御回路と、
をそれぞれ備えるようにした。

【 0 0 1 2 】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態.

図 1 は、本発明の第 1 の実施の形態におけるクロック信号発生回路の例を示したブロック図である。なお、図 1 では、インターリーブ動作の S/H 回路に使用した場合を例にして示している。

図 1 において、クロック信号発生回路 1 は、所定の周波数のマスタクロック信号 MCK から、 m (m は、 $m > 1$ の整数) 相の多相クロック信号 CK1 ~ CK m を生成して対応する m 個の S/H 回路 SH1 ~ SH m に出力する。

【 0 0 1 3 】

図 2 は、S/H 回路 SH1 ~ SH m に入力されたアナログの入力信号 S_{in} と多相クロック信号 CK1 ~ CK m の理想的なタイミングを示したタイミングチャートである。

図 2 から分かるように、S/H 回路 SH1 ~ SH m は、クロック信号発生回路 1 からの m 相のクロック信号 CK1 ~ CK m を用いて、入力信号 S_{in} を時間的に少しずつずらしながら複数のチャンネルにサンプリングする。このようにすることによって、1 チャンネルあたりのサンプリング周波数を下げ電力効率のよいところで動作させることができるため、低消費電力化を図りつつ高速サンプリングが可能になる。

【0014】

全体のサンプリング周波数を F_s とすると、1チャンネルあたりのサンプリング周波数 F_m は、下記(1)式のようになる。

$$F_m = F_s / m \dots \dots \dots (1)$$

S/H回路全体のサンプリング周波数 F_s を上げるには、前記(1)式より、1チャンネルあたりのサンプリング周波数 F_m を上げなくともチャンネル数 m を増やすことによって実現することができる。

【0015】

また、S/H回路 $SH_1 \sim SH_m$ に対してインターリーブ動作を行わせることは、サンプリング周波数が100MHzを超えると低消費電力化にも効果を示す。アナログCMOSでは、素子の限界等により数十MHz以上で高分解能を確保しながら動作させようとする、動作速度が投入電力に対して比例せず、消費電力がサンプリング周波数の1.5～2乗に比例して増加し、投入電力に対しての大きな効果が得られず、電力効率が悪い。しかし、インターリーブ動作では、電力を投入して1チャンネルの動作速度を速くしなくともチャンネル数を増加させることにより、1チャンネルごとに電力効率のよいところで動作させることができ、低消費電力化を可能とし、消費電力とサンプリング周波数を比例関係にすることができる。

【0016】

クロック信号発生回路1は、多相クロック発生回路2と、マスタDLL(Delay-Locked Loop)回路3と、スレーブDLL回路 $D_1 \sim D_m$ とで構成されている。

多相クロック発生回路2は、所定の周波数のマスタクロック信号 MCK からクロック信号 $CKA_1 \sim CKA_m$ を生成して対応するスレーブDLL回路 $D_1 \sim D_m$ に出力すると共に、該クロック信号 $CKA_1 \sim CKA_m$ をマスタクロック信号 MCK の半周期だけ遅らせてクロック信号 $CKB_1 \sim CKB_m$ を生成し対応するスレーブDLL回路 $D_1 \sim D_m$ に出力する。なお、クロック信号 $CKA_1 \sim CKA_m$ はそれぞれ内部クロック信号をなし、クロック信号 $CKB_1 \sim CKB_m$ はそれぞれ遅延内部クロック信号をなす。

【0017】

スレーブDLL回路D1～Dmは、対応して入力されたクロック信号CKB1～CKBmを遅延させてクロック信号CK1～CKmを生成し、対応するS/H回路SH1～SHmに出力する。また、マスタDLL回路3は、マスタクロック信号MCKからパルス信号Smpを生成して各スレーブDLL回路D1～Dmにそれぞれ出力する。スレーブDLL回路D1～Dmは、マスタクロック信号MCK、パルス信号Smp、並びにクロック信号CKA1～CKAm及びCK1～CKmから、クロック信号CKB1～CKBmに対する遅延量を制御する。

【0018】

図3は、マスタDLL回路3の回路例を示した図である。

図3において、マスタDLL回路3は、可変遅延回路11、NOR回路13、チャージポンプ回路14及びローパスフィルタ（以下LPFと呼ぶ）15で構成されている。可変遅延回路11は、入力される制御信号に応じて入力信号に対する遅延量を可変し、入力されたマスタクロック信号MCKは、可変遅延回路11で遅延されて遅延クロック信号CKDとしてNOR回路13の一方の入力端に入力される。

【0019】

NOR回路13の他方の入力端にはマスタクロック信号MCKが入力されており、NOR回路13の出力信号はパルス信号Smpとして各スレーブDLL回路D1～Dmに出力される。なお、可変遅延回路11は第1可変遅延回路を、NOR回路13は第1パルス信号生成回路を、チャージポンプ回路14は第1チャージポンプ回路を、LPF15は第1ローパスフィルタをそれぞれなし、パルス信号Smpは第1パルス信号を、遅延クロック信号CKDは第1遅延信号をなし、LPF15の出力信号は第1制御信号をそれぞれなす。

【0020】

一方、チャージポンプ回路14は、Pチャネル型MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）21、Nチャネル型MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）22、定電流源23、24及びコンデンサ25で構成されている。なお、コンデンサ25は第1コンデンサをなす。電源電圧VD

Dと接地電圧との間には、PMOSトランジスタ21、定電流源23、定電流源24及びNMOSトランジスタ22が直列に接続されている。定電流源23と定電流源24との接続部と接地電圧との間には、コンデンサ25が接続され、PMOSトランジスタ21及びNMOSトランジスタ22の各ゲートには、パルス信号Smpがそれぞれ入力されている。

【0021】

定電流源23、24及びコンデンサ25の接続部の信号がチャージポンプ回路14の出力信号Scpとなり、該出力信号Scpは、LPF15を通して可変遅延回路11に第1制御信号として出力される。可変遅延回路11の遅延時間を第1遅延時間とすると、可変遅延回路11は、LPF15から入力された信号の電圧が低下すると第1遅延時間が短くなり、LPF15から入力された信号の電圧が上昇すると第1遅延時間が長くなる。

【0022】

このような構成において、図4は、図3で示したマスタDLL回路3の各部の信号波形例を示したタイミングチャートであり、図4を用いてマスタDLL回路3の動作についてもう少し詳細に説明する。

パルス信号Smpとしてハイ(High)レベルのパルスがNOR回路13から出力されると、PMOSトランジスタ21がオフしてNMOSトランジスタ22がオンし、出力信号Scpの電圧が低下する。

【0023】

これに対して、NOR回路13の出力端がロー(Low)レベルになると、PMOSトランジスタ21がオンしてNMOSトランジスタ22がオフし、出力信号Scpの電圧が上昇する。したがって、可変遅延回路11の第1遅延時間が増え、LPF15の出力電圧は低下し、可変遅延回路11の第1遅延時間が減少する。このように、負帰還ループが形成され、可変遅延回路11の第1遅延時間及びLPF15の出力電圧は、それぞれ一定値に収束する。

【0024】

このとき、チャージポンプ回路14の出力信号Scpの電圧下降振幅と電圧上昇振幅は同じでなければならず、定電流源23及び24がそれぞれ理想的な定電

流特性を有しているとする、下記(2)式が成り立つ。

$$i_d \cdot T_o / C_p = i_u \cdot (T - T_o) / C_p \dots\dots\dots (2)$$

なお、前記(2)式において、 i_u は定電流源23から供給される定電流を、 i_d は定電流源24から供給される定電流をそれぞれ示し、 C_p はコンデンサ25の容量を、 T はマスタクロック信号MCKの周期を、 T_o は可変遅延回路11の第1遅延時間に相当するパルス信号Smpのパルス幅をそれぞれ示している。

【0025】

前記(2)式から下記(3)式を得ることができる。

$$T_o = i_u \cdot T / (i_d + i_u) \dots\dots\dots (3)$$

【0026】

すなわち、負帰還ループによって、可変遅延回路11の第1遅延時間が、チャージポンプ回路14に流れる2つの電流 i_u 及び i_d の電流比とマスタクロック信号MCKの周期 T だけで決定される。したがって、マスタクロック信号MCKがジッタ等のない安定したものであれば、パルス信号Smpのパルス幅 T_o は、ジッタが少なく電源電圧変動等の動作環境変化に対して影響を受けにくいものになる。

【0027】

図5は、多相クロック発生回路2の構成例と、スレーブDLL回路D1～Dmの回路例を示した図である。なお、スレーブDLL回路D1～Dmは同じ回路構成であることから、図5ではスレーブDLL回路D1のみ内部回路を示しており、以下スレーブDLL回路D1を例にして説明する。

図5において、多相クロック発生回路2は、多相クロック発振器21と、m個のDフリップフロップで構成されたフリップフロップ回路22と、インバータ23とで構成されている。多相クロック発振器21は、入力されたマスタクロック信号MCKから多相クロック信号CKA1～CKAmを生成し、フリップフロップ回路22の対応するDフリップフロップのD入力端にそれぞれ出力する。

【0028】

フリップフロップ回路22の各Dフリップフロップには、マスタクロック信号MCKの信号レベルをインバータ23で反転させた信号がクロック信号としてそ

れぞれ入力されている。フリップフロップ回路 2 2 は、入力された多相クロック信号 $CKA1 \sim CKA_m$ をマスタクロック信号 MCK の半周期だけ遅らせてクロック信号 $CKB1 \sim CKB_m$ を生成し対応するスレーブ DLL 回路 $D1 \sim D_m$ にそれぞれ出力する。

【 0 0 2 9 】

スレーブ DLL 回路 $D1$ は、可変遅延回路 3 1、 $NAND$ 回路 3 3、チャージポンプ回路 3 4 及び LPF 3 5 で構成されている。可変遅延回路 3 1 の遅延時間を第 2 遅延時間とすると、可変遅延回路 3 1 は、入力された制御信号に応じて入力信号に対する第 2 遅延時間を可変し、入力されたクロック信号 $CKB1$ は、可変遅延回路 3 1 で遅延されてクロック信号 $CK1$ として S/H 回路 $SH1$ に出力されると共に、 $NAND$ 回路 3 3 の対応する入力端に入力される。

【 0 0 3 0 】

$NAND$ 回路 3 3 は、マスタクロック信号 MCK 及びクロック信号 $CKA1$ が対応する入力端に入力されており、 $NAND$ 回路 3 3 の出力信号はパルス信号 S_{sp} としてチャージポンプ回路 3 4 に出力される。なお、可変遅延回路 3 1 は第 2 可変遅延回路を、 $NAND$ 回路 3 3 は第 2 パルス信号生成回路を、チャージポンプ回路 3 4 は第 2 チャージポンプ回路を、 LPF 3 5 は第 2 ローパスフィルタをそれぞれなし、パルス信号 S_{sp} は第 2 パルス信号を、 LPF 3 5 の出力信号は第 2 制御信号をそれぞれなす。

【 0 0 3 1 】

一方、チャージポンプ回路 3 4 は、 $PMOS$ トランジスタ 4 1、 $NMOS$ トランジスタ 4 2、4 3、定電流源 4 4、4 5、電流出力の D/A コンバータ（以下、 DAC と呼ぶ）4 6 及びコンデンサ 4 7 で構成されている。電源電圧 VDD と接地電圧との間には、 $PMOS$ トランジスタ 4 1、定電流源 4 4、定電流源 4 5 及び $NMOS$ トランジスタ 4 2 が直列に接続されている。定電流源 4 4 と定電流源 4 5 との接続部と接地電圧との間には、 DAC 4 6 及び $NMOS$ トランジスタ 4 3 の直列回路とコンデンサ 4 7 が並列に接続されている。 $PMOS$ トランジスタ 4 1 のゲートにはパルス信号 S_{sp} が入力され、 $NMOS$ トランジスタ 4 2、4 3 の各ゲートにはパルス信号 S_{mp} がそれぞれ入力されている。

【 0 0 3 2 】

定電流源 4 4、4 5、DAC 4 6 及びコンデンサ 4 7 の接続部の信号がチャージポンプ回路 3 4 の出力信号 S_{cp1} となり、該出力信号 S_{cp1} は、LPF 3 5 を通って可変遅延回路 3 1 に第 2 制御信号として出力される。可変遅延回路 3 1 は、LPF 3 5 から入力された信号の電圧が低下すると第 2 遅延時間が短くなり、LPF 3 5 から入力された信号の電圧が上昇すると第 2 遅延時間が長くなる。DAC 4 6 は、入力されたデジタル信号に応じてアナログ量である出力電流 i_{da1} の電流量を可変するものであり、該出力電流 i_{da1} を制御することにより、出力信号 S_{cp1} の電圧低下速度を制御することができる。なお、PMOS トランジスタ 4 1 及び定電流源 4 4 は充電回路をなし、NMOS トランジスタ 4 2、4 3、定電流源 4 5 及び DAC 4 6 は放電回路をなし、コンデンサ 4 7 が第 2 コンデンサをなす。

【 0 0 3 3 】

このような構成において、図 6 は、図 5 で示したスレーブ DLL 回路 D 1 の各部の信号波形例を示したタイミングチャートであり、図 6 を用いてスレーブ DLL 回路 D 1 の動作についてもう少し詳細に説明する。なお、図 6 では、 $m=4$ の場合を例にして示している。

パルス信号 S_{sp} がハイレベルのときにパルス信号 S_{mp} としてハイレベルのパルスが入力されると、PMOS トランジスタ 4 1 がオフして NMOS トランジスタ 4 2 及び 4 3 がそれぞれオンし、出力信号 S_{cp1} の電圧が低下する。

【 0 0 3 4 】

これに対して、パルス信号 S_{mp} がローレベルのときにパルス信号 S_{sp} としてローレベルのパルスが入力されると、PMOS トランジスタ 4 1 がオンして NMOS トランジスタ 4 2 及び 4 3 がそれぞれオフし、出力信号 S_{cp1} の電圧が上昇する。したがって、可変遅延回路 3 1 の第 2 遅延時間が増えると、LPF 3 5 の出力電圧は低下し、可変遅延回路 3 1 の第 2 遅延時間が減少する。このように、マスタ DLL 回路 3 と同様に、負帰還ループが形成され、可変遅延回路 3 1 の第 2 遅延時間及び LPF 3 5 の出力電圧は、それぞれ一定値に収束する。

【 0 0 3 5 】

このとき、チャージポンプ回路34の出力信号 S_{cp1} の電圧下降振幅と電圧上昇振幅は同じになることから、DAC46から電流が出力されていない場合、下記(4)式が成り立つ。

$$i_{u1} \cdot t_d / C_{p1} = m \cdot i_{d1} \cdot T_o / C_{p1} \dots\dots\dots (4)$$

なお、前記(4)式において、 i_{u1} は定電流源44から供給される定電流を、 i_{d1} は定電流源45から供給される定電流をそれぞれ示し、 C_{p1} はコンデンサ47の容量を、 t_d は可変遅延回路31の第2遅延時間に相当するパルス信号 S_{sp} のパルス幅を、 T_o は可変遅延回路11の第1遅延時間に相当するパルス信号 S_{mp} のパルス幅をそれぞれ示している。

【0036】

前記(4)式から下記(5)式を得ることができる。

$$t_d = m \cdot i_{d1} \cdot T_o / i_{u1} \dots\dots\dots (5)$$

すなわち、可変遅延回路31の第2遅延時間を示すパルス幅 t_d は、マスタDLL回路3における可変遅延回路11の第1遅延時間と、チャージポンプ回路34の定電流源44及び45の出力電流比で決まる。したがって、マスタDLL回路3における可変遅延回路11の第1遅延時間が安定していれば、可変遅延回路31の第2遅延時間は、電源変動等によるジッタの影響を受けることなく安定した値になる。

【0037】

一方、DAC46が定電流源45に並列に接続されることにより、DAC46に入力されるデジタル値によってパルス幅 t_d を調整することができる。DAC46から出力される電流 i_{da1} によるパルス幅 t_d の変化を Δt_d とすると、該変化量 Δt_d は、下記(6)式のようなになる。

$$\Delta t_d = m \cdot i_{da1} \cdot T_o / i_{d1} \dots\dots\dots (6)$$

【0038】

ここで、例えば、 $m=4$ 、 $T_o=2\text{ ns}$ 、 $i_{d1}=4\text{ mA}$ とすると、 $\Delta t_d=0.2\text{ ps}$ 単位で調整するための電流 i_{da1} は $0.1\text{ }\mu\text{ A}$ となり、比較的設定しやすい電流量となる。これはスレーブDLL回路D1～Dmを短いパルス幅 T_o のパルスを基準に動作させることにより可能になったものである。このパルス幅

T_oのパルスは、最終出力信号となるスレーブDLL回路D₁～D_mの各出力信号の遅延時間基準になるため、電源変動の影響を受けない安定したものでなければならない。これをすべてのスレーブDLL回路D₁～D_mに対して、マスタDLL回路3により供給することで可能としている。すなわち、電源変動の影響を受けにくく、しかも遅延時間の微小量の制御を可能にするクロック生成回路は、マスタDLL回路3と各スレーブDLL回路D₁～D_mからなる本第1の実施の形態のクロック信号発生回路によって初めて成し遂げられる。

【0039】

また、 $\Delta t_d = 0.2 \text{ ps}$ 単位で調整するための電流 i_{da1} が $0.1 \mu\text{A}$ であるというこの値は、集積回路で生成する場合に無理のない電流値であり、 0.2 ps 単位でパルス幅 t_d を変化させることができる。また、チャージポンプ回路34の出力信号 S_{cp1} の電圧振幅を1V程度にするためには、 $t_d = 1 \text{ ns}$ とすると、 $i_{u1} = 0.5 \text{ mA}$ であることから $C_p = 3.5 \text{ pF}$ になる。この容量値は、コンデンサをLSI内で構成するのに無理のない値である。

【0040】

なお、前記説明では、図3で示したようにマスタDLL回路3にLPF15を設けるようにしたが、LPF15を省略してもよく、このようにした場合、出力信号 S_{cp} が制御信号として可変遅延回路11に入力される。また、前記説明では、図5で示したようにスレーブDLL回路D₁～D_mにLPF35をそれぞれ設けるようにしたが、LPF35をそれぞれ省略してもよく、このようにした場合、例えばスレーブDLL回路D₁を例にして説明すると、出力信号 S_{cp1} が制御信号として可変遅延回路31に入力される。このことはスレーブDLL回路D₂～D_mにおいても同様である。

【0041】

このように、本第1の実施の形態におけるクロック信号発生回路は、マスタDLL回路3でマスタクロック信号MCKからパルス幅T_oのパルス信号 S_{mp} を生成し、更に、スレーブDLL回路D₁～D_mで該パルス信号 S_{mp} からパルス幅 t_d のパルス信号 S_{sp} を生成し、スレーブDLL回路D₁～D_mで生成するクロック信号CK₁～CK_mの各スキュー量を、マスタDLL回路3の遅延量に

比例させるようにした。このことから、生成した多相クロック信号のジッタを低減させることができ、p s e c オーダーのスキュー補正を行うことができ、特に、インターリーブ動作のS/H回路に多相クロック信号を供給する際に分解能が1 0 b i t の場合でも、スキュー量を2 p s 以下にすることができる。

【 0 0 4 2 】

また、スレーブD L L 回路D 1 ~ D m におけるチャージポンプ回路3 4 のコンデンサ4 7 の放電電流をD A C 4 6 によって変化させるようにしたことから、生成して出力する多相クロック信号のスキュー量をデジタル補正することができる。

【 0 0 4 3 】

第2の実施の形態。

図7は、本発明の第2の実施の形態におけるクロック信号発生回路の例を示したブロック図であり、図7では、インターリーブ動作のS/H回路に使用した場合を例にして示している。なお、図7では、図1と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略する。

図7において、クロック信号発生回路5 1 は、所定の周波数のマスタクロック信号M C K から、m (m は、 $m > 1$ の整数) 相の多相クロック信号C K 1 ~ C K m を生成して対応するm 個のS/H回路S H 1 ~ S H m に出力する。S/H回路S H 1 ~ S H m に入力されたアナログの入力信号S i n と多相クロック信号C K 1 ~ C K m の理想的なタイミングを示したタイミングチャートは図2と同じであることからその説明を省略する。

【 0 0 4 4 】

クロック信号発生回路5 1 は、多相クロック発生回路5 2 と、共通クロック発生回路5 3 と、クロック制御回路C 1 ~ C m とで構成されている。

多相クロック発生回路5 2 は、所定の周波数のマスタクロック信号M C K から多相クロック信号C K C 1 ~ C K C m を生成して対応するクロック制御回路C 1 ~ C m にそれぞれ出力する。

【 0 0 4 5 】

共通クロック発生回路5 3 は、マスタクロック信号M C K の立ち上がり時に、

あらかじめ設定されたパルス幅のローレベルのパルスを生成し、グローバルクロック信号GCKとして出力する。クロック制御回路C1～Cmは、対応して入力されたクロック信号CKC1～CKCmが立ち上がると立ち上がり、この後、グローバルクロック信号GCKがハイレベルになるタイミングで立ち下がるように、クロック信号CK1～CKmを生成して出力する。

【0046】

図8は、共通クロック発生回路53の回路例を示した図である。

図8において、共通クロック発生回路53は、NAND回路61及びインバータ62～67で構成されている。マスタクロック信号MCKは、インバータ62を介してNAND回路61の一方の入力端に入力され、インバータ62の出力端とNAND回路61の他方の入力端との間にはインバータ63～67が直列に接続されている。

【0047】

インバータ62で信号レベルが反転されたマスタクロック信号MCKは、NAND回路61の一方の入力端に入力されると共に、インバータ63～67の直列回路によって第3遅延時間だけ遅延され信号レベルが反転されてNAND回路61の他方の入力端に入力され、NAND回路61は、グローバルクロック信号GCKを生成して出力する。なお、クロック信号CKC1～CKCmは内部クロック信号を、グローバルクロック信号GCKは第3パルス信号をそれぞれなし、インバータ67から出力される信号が第3遅延信号をなす。

【0048】

次に、図9は、クロック制御回路C1の回路例を示した図である。なお、クロック制御回路C1～Cmは同じ回路構成であることから、クロック制御回路C2～Cmの回路構成を示す図は省略し、以下クロック制御回路C1を例にして説明する。

図9において、クロック制御回路C1は、PMOSトランジスタ71及びNMOSトランジスタ72、73で構成されている。なお、PMOSトランジスタ71及びNMOSトランジスタ72が出力回路をなし、NMOSトランジスタ73が出力制御回路をなす。

【 0 0 4 9 】

電源電圧VDDと接地電圧との間に、PMOSトランジスタ71、NMOSトランジスタ72及び73が直列に接続され、PMOSトランジスタ71とNMOSトランジスタ72の接続部はクロック制御回路C1の出力端をなしクロック信号CK1を出力する。PMOSトランジスタ71及びNMOSトランジスタ72の各ゲートは接続され、該接続部には多相クロック発生回路52から対応するクロック信号CKC1が入力されている。また、NMOSトランジスタ73のゲートには、共通クロック発生回路53からのグローバルクロック信号GCKが入力されている。

【 0 0 5 0 】

このような構成において、図10は、図9で示したクロック制御回路C1の各部の信号波形例を示したタイミングチャートであり、図10を用いてクロック制御回路C1の動作についてもう少し詳細に説明する。なお、図10では、 $m=4$ の場合を例にして示している。

クロック信号CKC1がローレベルに立ち下がると、PMOSトランジスタ71がオンしNMOSトランジスタ72がオフする。このため、グローバルクロック信号GCKの信号レベルに関係なく、クロック制御回路C1は、クロック信号CK1をハイレベルに立ち上げる。

【 0 0 5 1 】

次に、グローバルクロック信号GCKがローレベルの場合、NMOSトランジスタ73はオフするがNMOSトランジスタ72がオフしていることからクロック信号CK1はハイレベルのままである。次に、グローバルクロック信号GCKがローレベルのときにクロック信号CKC1がハイレベルに立ち上がると、PMOSトランジスタ71がオフしてNMOSトランジスタ72がオンするが、NMOSトランジスタ73がオフしていることから、クロック信号CK1はハイレベルのままである。次に、グローバルクロック信号GCKがハイレベルに立ち上がると、NMOSトランジスタ73がオンし、クロック信号CK1はローレベルに立ち下がる。

【 0 0 5 2 】

このように、本第 2 の実施の形態では、クロック制御回路 C 1 ~ C m は、グローバルクロック信号 G C K がハイレベルに立ち上がるタイミングでクロック信号 C K 1 ~ C K m がローレベルに立ち下がるように動作するようにした。このことから、簡単な回路で、生成した多相クロック信号のスキューを低減させることができ、特に、インターリーブ動作の S / H 回路に多相クロック信号を供給する際に分解能が 1 0 b i t の場合でも、スキュー量を 2 p s 以下にすることができる。

【 0 0 5 3 】

【発明の効果】

上記の説明から明らかなように、本発明のクロック信号発生回路によれば、マスタ D L L 回路部が、生成した第 1 遅延時間のパルス幅を有する第 1 パルス信号に応じて電圧が変化する第 1 制御信号を生成し、該生成した第 1 制御信号に応じて前記第 1 遅延時間を所定値になるように調整すると共に、前記各スレーブ D L L 回路が、生成した第 2 遅延時間のパルス幅を有する第 2 パルス信号及び前記第 1 パルス信号に応じて電圧が変化する第 2 制御信号を生成し、該生成した第 2 制御信号に応じて第 2 遅延時間が所定値になるように調整するようにした。このことから、各スレーブ D L L 回路で生成する各クロック信号のそれぞれのスキュー量を、第 1 遅延時間に比例させることができるため、生成した多相クロック信号のジッタを低減させることができ、 p s e c オーダーのスキュー補正を行うことができ、特に、インターリーブ動作の S / H 回路に多相クロック信号を供給する際に分解能が 1 0 b i t の場合でも、スキュー量を 2 p s 以下にすることができる。

【 0 0 5 4 】

具体的には、各スレーブ D L L 回路は、外部から入力されたデジタル信号に応じて前記第 2 コンデンサの放電電流を調整するか、又は外部から入力されたデジタル信号に応じて前記第 2 コンデンサの充電電流を調整するようにした。このことから、生成して出力する多相クロック信号のスキュー量をデジタル補正することができる。

【 0 0 5 5 】

また、各クロック制御回路は、該多相クロック発生回路部から出力された対応する内部クロック信号の信号レベルの変化点を、前記第 3 パルス信号の信号レベルの変化点と一致するように制御するようにした。このことから、簡単な回路で、生成した多相クロック信号のスキューを低減させることができ、特に、インターリーブ動作の S/H 回路に多相クロック信号を供給する際に分解能が 1 0 b i t の場合でも、スキュー量を 2 p s 以下にすることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態におけるクロック信号発生回路の例を示したブロック図である。

【図 2】 アナログの入力信号 S i n と多相クロック信号 C K 1 ~ C K m の理想的なタイミングを示したタイミングチャートである。

【図 3】 図 1 におけるマスタ D L L 回路 3 の回路例を示した図である。

【図 4】 図 3 における各部の信号波形例を示したタイミングチャートである。

【図 5】 図 1 における多相クロック発生回路 2 の構成例とスレーブ D L L 回路 D 1 の回路例を示した図である。

【図 6】 図 5 における各部の信号波形例を示したタイミングチャートである。

【図 7】 本発明の第 2 の実施の形態におけるクロック信号発生回路の例を示したブロック図である。

【図 8】 図 7 の共通クロック発生回路 5 3 の回路例を示した図である。

【図 9】 図 7 のクロック制御回路 C 1 の回路例を示した図である。

【図 1 0】 図 9 の各部の信号波形例を示したタイミングチャートである。

【図 1 1】 入力信号が 5 0 M H z でサンプリング周波数 1 0 0 M H z の場合におけるスキューと S N D R との関係例を示した図である。

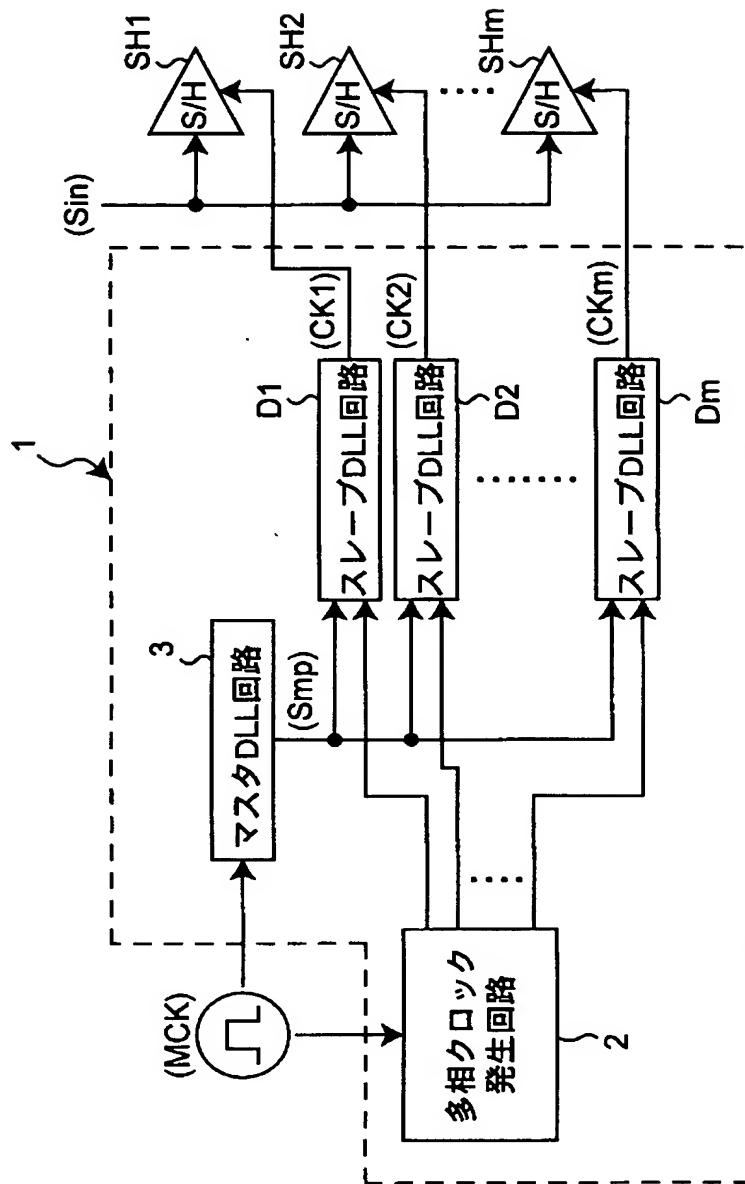
【符号の説明】

- 1, 5 1 クロック信号発生回路
- 2, 5 2 多相クロック発生回路
- 3 マスタ D L L 回路

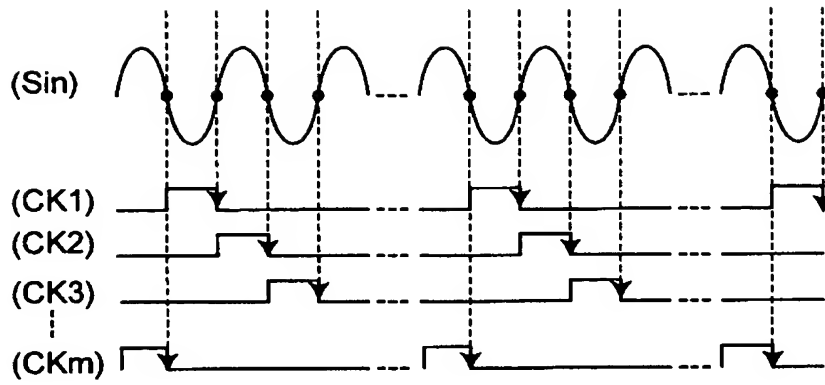
1 1, 3 1 可変遅延回路
2 3 インバータ
1 3 NOR回路
1 4, 3 4 チャージポンプ回路
1 5, 3 5 LPF
2 1 多相クロック発振器
2 2 フリップフロップ回路
3 3 NAND回路
4 6 DAC
5 3 共通クロック発生回路
D 1 ~ D m スレーブDLL回路
S H 1 ~ S H m S / H回路
C 1 ~ C m クロック制御回路

【書類名】 図面

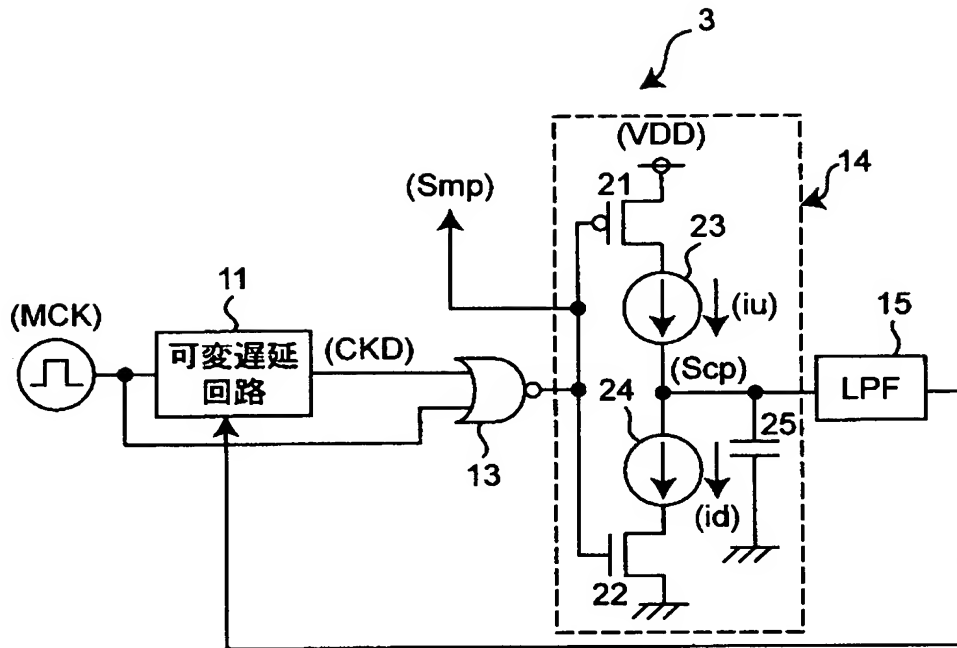
【図 1】



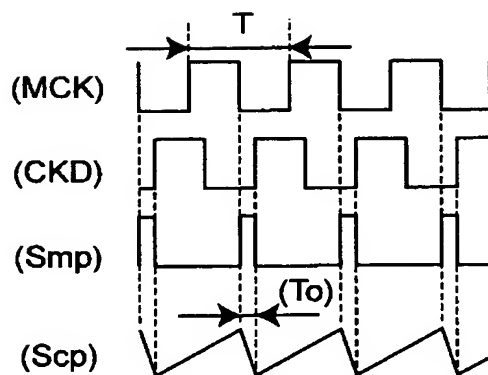
【図 2】



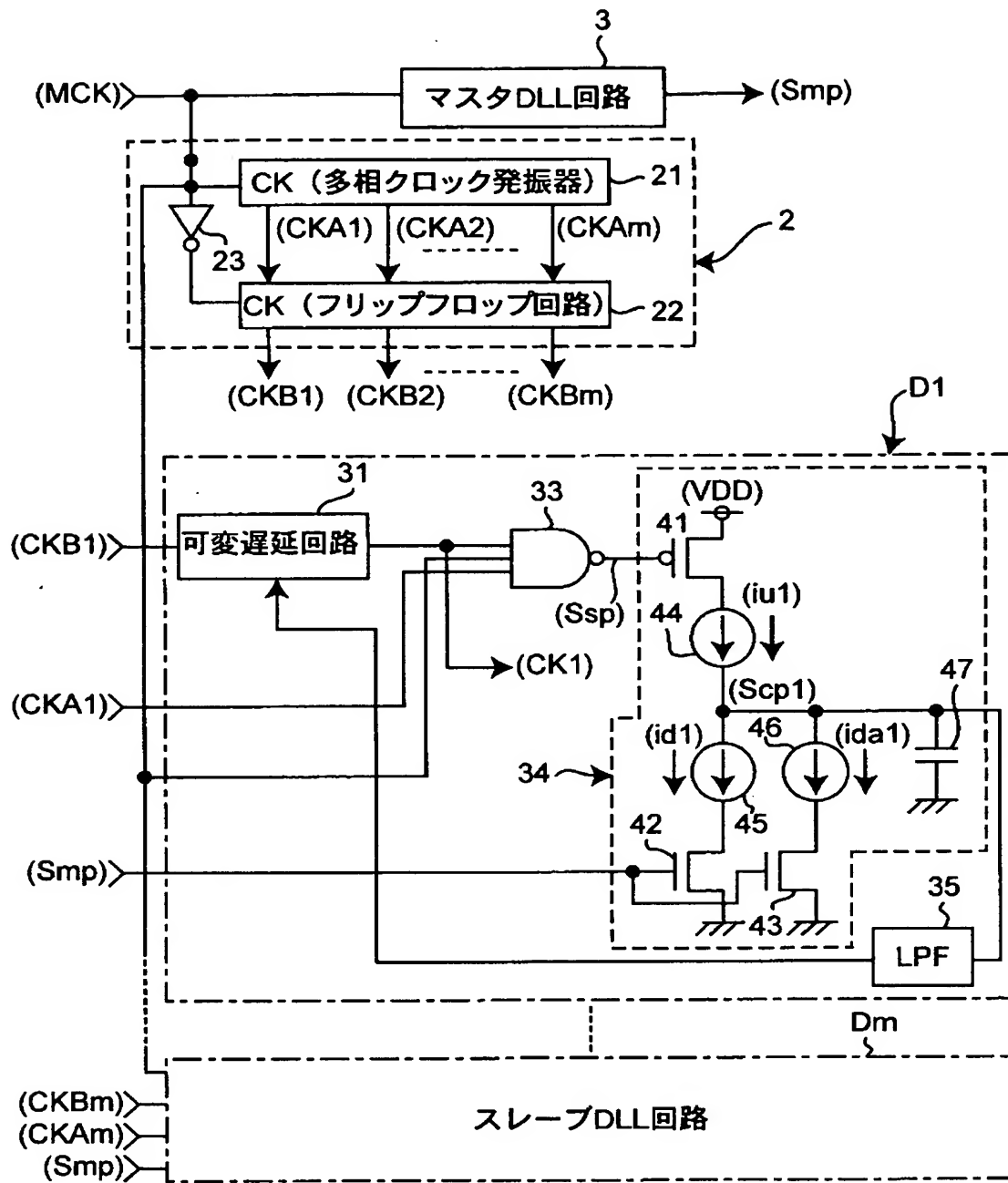
【図 3】



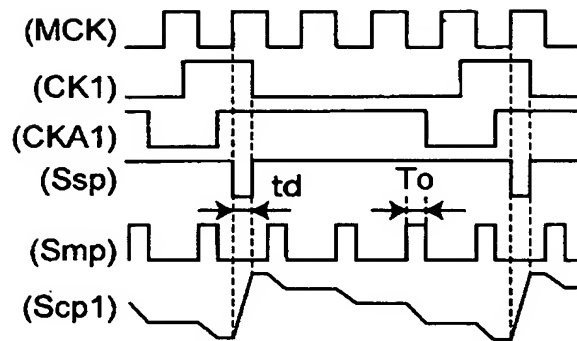
【図 4】



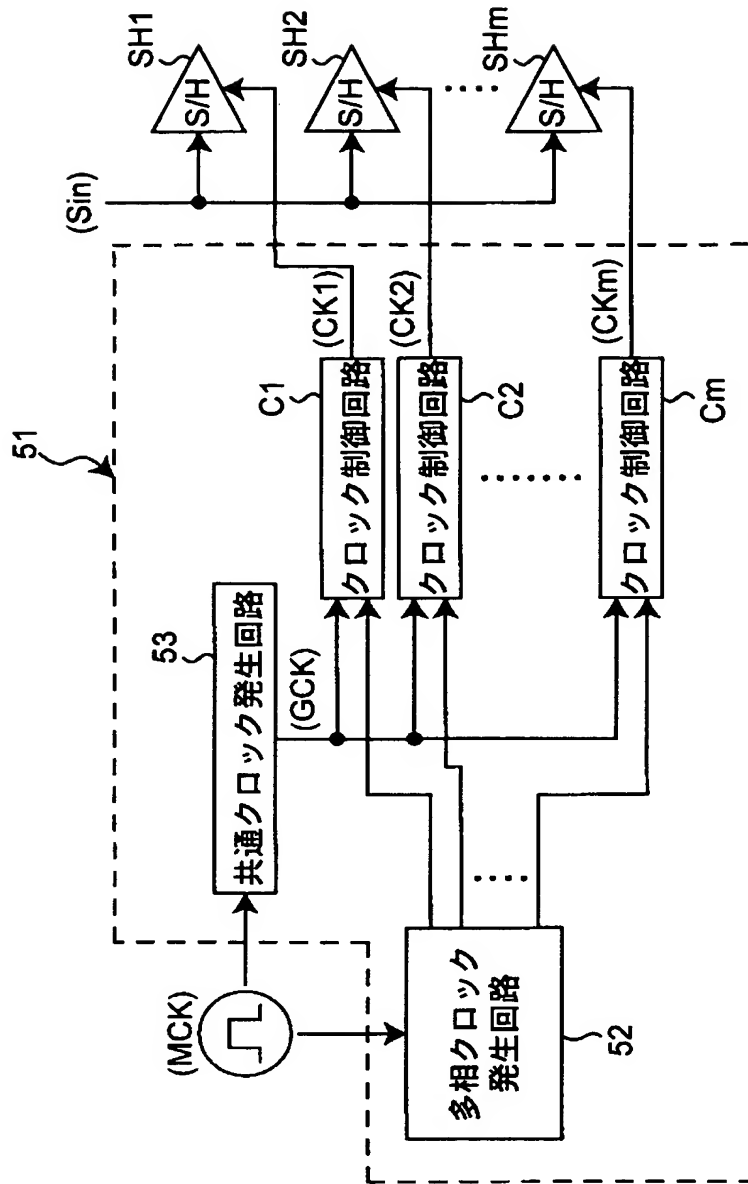
【図 5】



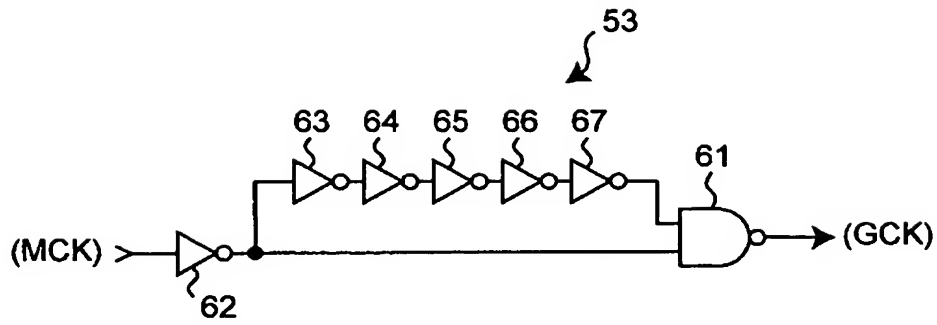
【図 6】



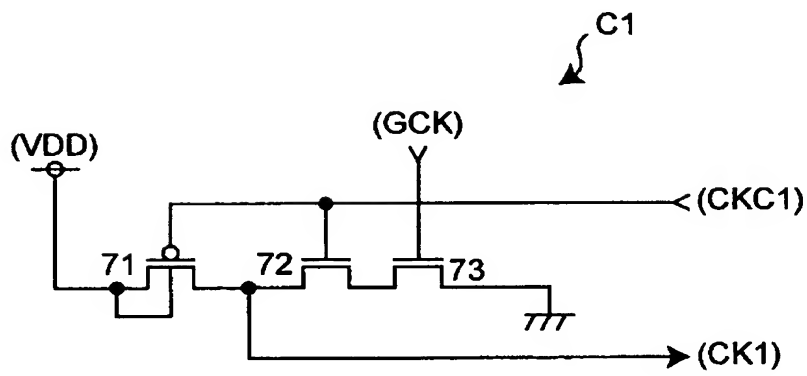
【図 7】



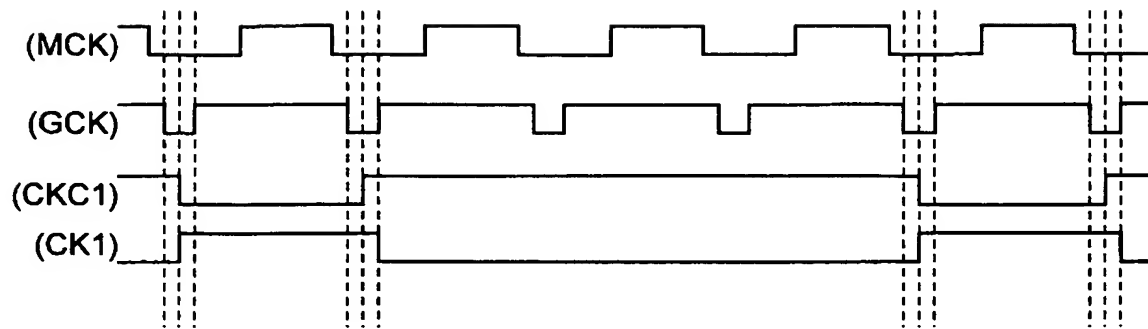
【図 8】.



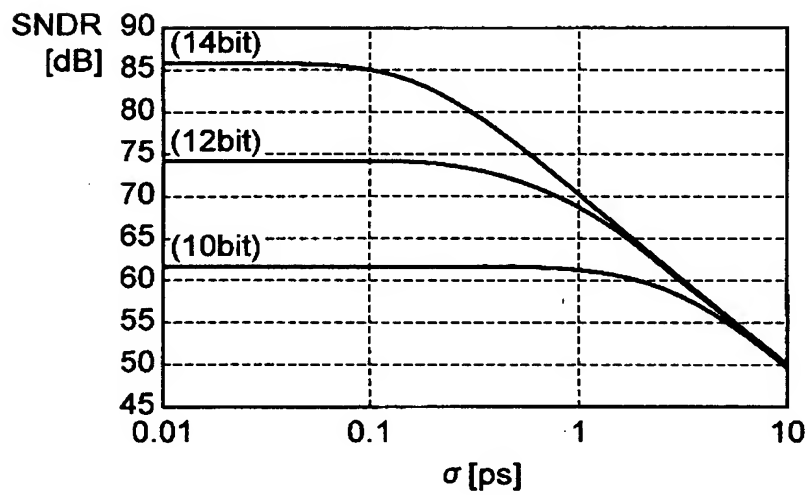
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 生成した多相クロック信号のスキュー量を低減させることができるクロック信号発生回路を得る。

【解決手段】 マスタDLL回路3で、マスタクロック信号MCKを第1遅延時間遅延させた遅延クロック信号CKDを生成し、マスタクロック信号MCKと遅延クロック信号CKDから生成した第1遅延時間のパルス幅 T_o を有するパルス信号 S_{mp} に応じて電圧が変化するLPF15の出力信号から第1遅延時間を所定値に調整すると共に、各スレーブDLL回路D1～Dmで、遅延内部クロック信号CKB1～CKBmを第2遅延時間遅延させ多相クロック信号をなすクロック信号CK1～CKmとして出力し、第2遅延時間のパルス幅 t_d を有するパルス信号 S_{sp} を生成し、パルス信号 S_{mp} 及び S_{sp} に応じて電圧が変化するLPF35の出力信号から第2遅延時間を所定値に調整するようにした。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [3 9 6 0 2 3 9 9 3]

1. 変更年月日 2 0 0 1 年 3 月 2 3 日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜 3 丁目 1 7 番地 2 友泉新横浜ビ
ル 6 階

氏 名 株式会社半導体理工学研究センター